

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04199029 A**(43) Date of publication of application: **20.07.92**

(51) Int. Cl.

G02F 1/136
G02F 1/1343
H01L 21/3205
H01L 27/12
H01L 27/146
H01L 29/784

(21) Application number: **02331580**(22) Date of filing: **29.11.90**(71) Applicant: **FUJI XEROX CO LTD**

(72) Inventor: **KOBAYASHI KENICHI**
HAYASHI TERUTAKE

(54) MANUFACTURE OF THIN-FILM TRANSISTOR
AND MULTILAYER WIRING

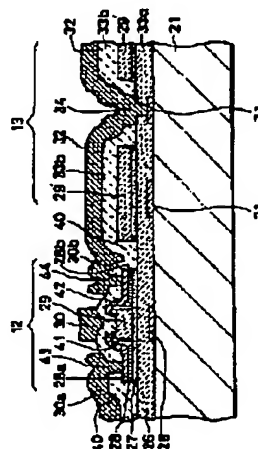
not thereby generated easily to upper wiring 32.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To suppress the generation of step disconnection to upper wiring by forming a between-layer insulating layer wider than the width of lower wiring in multilayer wiring.

CONSTITUTION: Prior to forming the pattern of the channel protecting film 29 of a thin-film transistor by back exposure, a first resist pattern is formed wide above lower wiring 31 in multilayer wiring 13 through the insulating layer of a gate insulating film 26, a semiconductor active layer 27, the between-layer insulating layer 29' of the channel protecting film 29. After baking the first resist pattern, a second resist is applied thereon to perform the back exposure of both thin-film transistor part and multilayer wiring 13 part, and insulated face exposure is performed only on the multilayer wiring 13 part from the surface to develop the second resist, thus forming a second resist pattern. In this method, the between-layer insulating layer 29' can be formed wider than the width of the lower wiring 31 in the multilayer wiring 13. Step disconnection is



⑫ 公開特許公報(A) 平4-199029

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成4年(1992)7月20日
 G 02 F 1/136 5 0 0 9018-2K
 1/1343 9018-2K
 H 01 L 21/3205 7514-4M
 27/12
 27/146
 29/784
 9056-4M H 01 L 29/78 3 1 1 N
 8233-4M 27/14 C
 7353-4M 21/88 A
 審査請求 未請求 請求項の数 1 (全1頁)

⑮ 発明の名称 薄膜トランジスタ及び多層配線の製造方法

⑯ 特 願 平2-331580

⑰ 出 願 平2(1990)11月29日

⑱ 発 明 者 小 林 健 一 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
 海老名事業所内
 ⑲ 発 明 者 林 輝 威 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
 海老名事業所内
 ⑳ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
 社
 ㉑ 代 理 人 弁理士 阪本 清孝 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ及び多層配線の製造方法

2. 特許請求の範囲

基板上にゲート電極、ゲート絶縁膜、半導体活性層、チャネル保護膜を積層し、前記チャネル保護膜を挟んでオーミックコンタクト層と拡散防止層を分割して積層し、前記分割された拡散防止層の上にそれぞれソース電極とドレイン電極を形成した薄膜トランジスタと、前記基板上に下部配線と上部配線とをマトリックス形状に形成した多層配線とを製造する方法において、

前記チャネル保護膜の絶縁層を着脱した後に第1のレジストを積層する第1のレジスト積層工程と、

前記第1のレジストの前記多層配線で前記チャネル保護膜を層間絶縁層として利用する部分を残すよう第1の露光工程と第1の現像工程とを有する第1のレジストパターン形成工程と、

前記第1のレジストパターンをベークするベ-

ク工程と、

前記第1のレジストパターンの上に第2のレジストを積層する第2のレジスト積層工程と、

前記基板裏面から露光する第2の露光工程と、
 前記基板表面から前記多層配線部分のみを露光する第3の露光工程と、

前記第2のレジストを現像して第2のレジストパターンを形成する第2の現像工程と、

前記チャネル保護膜の絶縁層を前記第1のレジストパターンと前記第2のレジストパターンとをマスクとしてエッチング除去するチャネル保護膜の絶縁層エッチング工程と、

を具備することを特徴とする薄膜トランジスタ及び多層配線の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタ及び多層配線の製造方法に係り、特に薄膜トランジスタのチャネル保護膜を裏面露光により形成する際に当該チャネル保護膜の絶縁層を多層配線の層間絶縁層としても

形成する薄膜トランジスタ及び多層配線の製造方法に関する。

(従来の技術)

従来の薄膜トランジスタ及び多層配線は、各種の電子デバイスに利用されているが、特に、ファクシミリやスキャナ等のイメージセンサに利用されている場合がある。

従来のイメージセンサについて説明すると、特に従来の密着型イメージセンサは、原稿等の画像情報を1対1に投影し、電気信号に変換するものである。この場合、投影した画像を多数の画素

(受光素子)に分割し、各受光素子で発生した電荷を薄膜トランジスタスイッチ素子(TFT)を使って特定のブロック単位で多層配線の負荷容量に一時蓄積して、電気信号として数百kHzから数MHzまでの速度で時系列的に順次読み出すTFT駆動型イメージセンサがある。このTFT駆動型イメージセンサは、TFTの動作により単一の駆動用ICで読み取りが可能となるので、イメージセンサを駆動する駆動用ICの個数を少なく

するものである。

TFT駆動型イメージセンサは、例えば、その等価回路図を第3図に示すように、原稿幅と略同じ長さのライン状の受光素子アレイ11と、各受光素子11'に1:1に対応する複数個の薄膜トランジスタ $T_{i,j}$ ($i=1\sim N$, $j=1\sim n$)から成る電荷転送部12と、多層配線13とから構成されている。

前記受光素子アレイ11は、N個のブロックの受光素子群に分割され、一つの受光素子群を形成するn個の受光素子11'は、フォトダイオード $PD_{i,j}$ ($i=1\sim N$, $j=1\sim n$)により等価的に表すことができる。各受光素子11'は各薄膜トランジスタ $T_{i,j}$ ($i=1\sim N$, $j=1\sim n$)のドレイン電極にそれぞれ接続されている。そして、薄膜トランジスタ $T_{i,j}$ のソース電極は、マトリックス状に形成された多層配線13を介して受光素子群毎にn本の共通信号線14及び負荷容量 CL_i ($i=1\sim n$)にそれぞれ接続され、更に共通信号線14は駆動用IC15に接続されている。

各薄膜トランジスタ $T_{i,j}$ のゲート電極には、ブロック毎に導通するようにゲートパルス発生回路(図示せず)が接続されている。各受光素子11'で発生する光電荷は一定時間受光素子の寄生容量 $CD_{i,j}$ ($i=1\sim N$, $j=1\sim n$)と薄膜トランジスタのドレイン・ゲート間のオーバーラップ容量に蓄積された後、薄膜トランジスタ $T_{i,j}$ を電荷転送用のスイッチとして用いてブロック毎に順次多層配線13の線間容量 CL_i に転送蓄積される。

すなわち、ゲートパルス発生回路からのゲートパルス ϕG_1 により、第1のブロックの薄膜トランジスタ $T_{1,1}\sim T_{1,n}$ がオンとなり、第1のブロックの各受光素子11'で発生して寄生容量 $CD_{i,j}$ 等に蓄積された電荷が各線間容量 CL_i に転送蓄積される。そして、各線間容量 CL_i に蓄積された電荷により各共通信号線14の電位が変化し、この電圧値を駆動用IC15内のアナログスイッチ SW_i ($i=1\sim n$)を順次オンして時系列的に出力線16に抽出する。

そして、ゲートパルス $\phi G_2\sim\phi G_n$ により第2～

第Nのブロックの薄膜トランジスタ $T_{2,1}\sim T_{2,n}$ から $T_{N,1}\sim T_{N,n}$ までがそれぞれオンすることによりブロック毎に受光素子側の電荷が転送され、順次読み出すことにより原稿の主走査方向の1ラインの画像信号を得、ローラ等の原稿送り手段(図示せず)により原稿を移動させて前記動作を繰り返し、原稿全体の画像信号を得るものである(特開昭63-9358号、特開昭63-67772号公報参照)。

上記従来の電荷転送部12の薄膜トランジスタ及び多層配線13の具体的構成について、第4図にその断面説明図を示して説明する。

従来の薄膜トランジスタは、ガラスまたはセラミック等の絶縁性の基板21上にゲート電極25としてのクロム(Cr1)層、ゲート絶縁膜26としての窒化シリコン(SiN_x1)膜、半導体活性層27としての水素化アモルファスシリコン($a-Si:H$)層、チャネル保護膜29としての窒化シリコン(SiN_x2)膜、オーミックコンタクト層28としての n^+ 水素化アモルファス

シリコン ($n^+ a-Si:H$) 層、拡散防止層 41 部分と 42 部分としてのクロム (Cr_2) 層、その上に絶縁層としてのポリイミド層 40、更にその上にドレイン電極 43 部分とソース電極 44 部分となるアルミニウム層及び $a-Si:H$ 層の遮光用金属層としてのアルミニウム層 30 とを順次積層した逆スタガ構造のトランジスタである。

そして、ドレイン電極 43 には受光素子の透明電極からの配線 30a が接続されている。ここで、オーミックコンタクト層 28 は拡散防止層 41 に接触する部分 28a 層と拡散防止層 42 に接触する部分 28b 層と分離して形成されている。また、拡散防止層 41 部分と 42 部分としてのクロム (Cr_2) 層はそのオーミックコンタクト層 28 の 28a 層と 28b 層を覆うように形成されている。

従来の多層配線 13 の構成は、マトリックス形状の多層配線構造となっており、基板 21 上に下部配線 31 をクロム層で形成され、上部配線 32 をアルミニウム層で形成され、上部配線 31 と下

部配線 32 の間に薄膜トランジスタにおけるゲート絶縁膜 25 の窒化シリコン ($SiNx_1$) 膜から成る第 1 の絶縁層 33a、薄膜トランジスタにおける半導体活性層 27 として用いられた水素化アモルファスシリコン ($a-Si:H$) 層、薄膜トランジスタにおけるチャネル保護膜 29 として用いられた層間絶縁層 29' ($SiNx_2$)、それにポリイミド層 40 から成る第 2 の絶縁層 33b を介して、配線層がマトリックス状に配置されている。そして、上下配線の接続部分は、コンタクトホール 34 で接続されている。

次に、従来の薄膜トランジスタ及び多層配線の製造方法について説明する。

まず、基板 21 上に、薄膜トランジスタのゲート電極 25 と多層配線 13 の下部配線 31 となる第 1 の Cr (Cr_1) 層を DC スパッタ法により着膜する。次にこの Cr_1 をフォトリソエッチング工程によりパターニングして、薄膜トランジスタのゲート電極 25 のパターンと多層配線 13 の下部配線 31 のパターンを形成する。 Cr_1 のパ

ターン上に薄膜トランジスタのゲート絶縁膜 26 と、その上の半導体活性層 27 と、またその上のチャネル保護膜 29 を形成するために、 $SiNx_1$ 、 $a-Si:H$ 、 $SiNx_2$ の順に真空を破らずにプラズマ CVD ($P-CVD$) により着膜する。ゲート絶縁膜 26 及びチャネル保護膜 29 の絶縁層は、同時に多層配線 13 における第 1 の絶縁層 33a 及び層間絶縁層 29' をも形成するものである。

次に、ゲート電極 25 に対応するような形状でチャネル保護膜 29 のパターンを形成するためにゲート絶縁膜 26 上にレジストを塗布し、そして基板 21 の裏方向からゲート電極 25 の形状パターンをマスクとしてを用いて裏面露光を行い、現像して、エッチングを行う。これによりチャネル保護膜 29 のパターンが形成される。但し、この場合、多層配線 13 部分においても裏面露光により下部配線 31 上にチャネル保護膜 29 の $SiNx$ 層の層間絶縁層 29' が形成されることになる。

その上にオーミックコンタクト層 28 として n

$+$ 型の $a-Si:H$ を $P-CVD$ により着膜する。次に、薄膜トランジスタの拡散防止層 41、42 となる第 2 の Cr (Cr_2) 層を DC マグネトロンスパッタにより着膜する。

次に、薄膜トランジスタの拡散防止層 41、42 の Cr_2 をフォトリソ工程とエッチング工程でパターニングして、拡散防止層 41、42 のパターンを形成する。薄膜トランジスタ部分を CF_4 と O_2 の混合ガスを用いてエッチングすると、 Cr_2 と $SiNx$ のない部分がエッチングされ、つまり $a-Si:H$ 層と $n^+ a-Si:H$ 層のパターンが形成される。これにより、薄膜トランジスタのオーミックコンタクト層 28 の n^+ 型の $a-Si:H$ 層および半導体活性層 27 の $a-Si:H$ 層がエッチングされる。

次に、多層配線 13 部分については、別のフォトリソマスクを用い、コンタクトホール 34 が第 1 の絶縁層 33a に形成されるようにパターニングすることにする。

そして、イメージセンサ全体を覆うように第 2

の絶縁層33bとなるポリイミド層40を塗布し、ブリベークを行ってフォトリソエッチング工程でパターン形成を行い、再度ベークする。これにより、各配線のコンタクト部分が形成される。この後に、コンタクトホール34等の残ったポリイミドを完全に除去するために、Descumを行う。

次に、アルミニウム(A1)をDCマグネトロンスパッタによりイメージセンサ全体を覆うように着膜し、所望のパターンを得るためにフォトリソエッチング工程でパターニングする。これにより、薄膜トランジスタのドレイン電極43部分とソース電極44部分のアルミニウム層、a-Si:H層の遮光用金属層としてのアルミニウム層30、更にドレイン電極43への配線30a部分とソース電極44から多層配線13への配線30b部分、そして多層配線13にける上部配線32とが形成される。

最後に、パシベーション層(図示せず)であるポリイミドを塗布し、ブリベークを行った後にフ

ォトリソエッチング工程でパターニングを行い、さらにベークしてパシベーション層を形成する。この後、Descumを行い、不要に残っているポリイミドを取り除く。このようにして、薄膜トランジスタ及び多層配線が製造される。

上記に示したように、多層配線部分において層間絶縁膜を多層にした従来技術としては、特開昭62-263680号公報、特開昭59-191353号公報、特開昭57-68050号公報記載の技術がある。

(発明が解決しようとする課題)

しかしながら、上記のような従来の薄膜トランジスタ及び多層配線の製造方法では、薄膜トランジスタのチャネル保護膜29のパターンを、正確にパターン形成ができる裏面露光により形成する場合に、多層配線13部分においても裏面露光が行われ、下部配線31のパターンとほぼ同様のパターンが下部配線31の上の層間絶縁層29'にも形成される。従って、下部配線31のパターンの上に第1の絶縁層33aを介してa-Si:H

層と層間絶縁層29'のパターンが同じように形成され、その上にポリイミドの第2の絶縁層33bを介して上部配線32が形成されることになる。

このように形成された多層配線13は、第4図に示すように、ポリイミド層40の第2の絶縁層33b上に形成された上部配線32に大きな凹凸ができ、上部配線32の形状で段差が大きくなるため、上部配線32に段切れを起こし易くなるとの問題点があった。

また、チャネル保護膜29で用いた層間絶縁層29'をパターニングする際に層間絶縁層29'にサイドエッチが入り下部配線31のパターン幅より少し細いパターンにて形成されるので、サイドエッチが入った部分においては上部配線32と下部配線31部分の間が接近しているのために、その間にショートが起こり易くなるとの問題点があった。

本発明は上記実情に鑑みてなされたもので、薄膜トランジスタ及び多層配線の製造方法において、多層配線における上部配線の段切れを防止し、上

部配線と下部配線との間に起こるショートを防止できる薄膜トランジスタ及び多層配線の製造方法を提供することを目的とする。

(課題を解決するための手段)

上記従来例の問題点を解決するための本発明は、基板上にゲート電極、ゲート絶縁膜、半導体活性層、チャネル保護膜を積層し、前記チャネル保護膜を挟んでオーミックコンタクト層と拡散防止層を分割して積層し、前記分割された拡散防止層の上にそれぞれソース電極とドレイン電極を形成した薄膜トランジスタと、前記基板上に下部配線と上部配線とをマトリックス形状に形成した多層配線とを製造する方法において、前記チャネル保護膜の絶縁層を着膜した後に第1のレジストを積層する第1のレジスト積層工程と、前記第1のレジストの前記多層配線で前記チャネル保護膜を層間絶縁層として利用する部分を残すよう第1の露光工程と第1の現像工程とを有する第1のレジストパターン形成工程と、前記第1のレジストパターンをベークするベーク工程と、前記第1のレジス

トパターンの上に第2のレジストを積層する第2のレジスト積層工程と、前記基板裏面から露光する第2の露光工程と、前記基板表面から前記多層配線部分のみを露光する第3の露光工程と、前記第2のレジストを現像して第2のレジストパターンを形成する第2の現像工程と、前記チャネル保護膜の絶縁層を前記第1のレジストパターンと前記第2のレジストパターンとをマスクとしてエッチング除去するチャネル保護膜の絶縁層エッチング工程と、を具備することを特徴としている。

(作用)

本発明によれば、薄膜トランジスタのチャネル保護膜のパターンを裏面露光により形成する前に、多層配線において下部配線の上にゲート絶縁膜の絶縁層と半導体活性層とチャネル保護膜の層間絶縁層とを介して幅広く第1のレジストパターンを形成し、この第1のレジストパターンをベークした後に、この上に第2のレジストを塗布して薄膜トランジスタ部分と多層配線部分を裏面露光し、多層配線部分のみを表面から全面露光を行い、第

2のレジストを現像して、第2のレジストパターンを形成し、第1のレジストパターンと第2のレジストパターンに従ってエッチングして薄膜トランジスタのチャネル保護膜のパターンと多層配線の層間絶縁層のパターンを形成する製造方法としているので、多層配線において層間絶縁層を下部配線の幅以上に広く形成でき、そのためポリイミドの絶縁層上に形成される上部配線には大きな凹凸ができず、上部配線の形状について段差が大きくならないため、上部配線に段切れが起こりにくく、また、上部配線と下部配線の間に層間絶縁層が幅広く形成されているために、上部配線と下部配線の間が接近することがなく、そのため上下配線間にショートが起こりにくくなる。

(実施例)

本発明の一実施例について図面を参照しながら説明する。

第1図は、本実施例に係る薄膜トランジスタ部分及び多層配線部分の断面説明図である。第4図と同様の構成をとる部分については同一の符号を

用いて説明する。

まず、薄膜トランジスタの構成は、ガラス等の透明な絶縁性の基板21上にゲート電極25としてのクロム(Cr1)層、ゲート絶縁膜26としての窒化シリコン(SiNx1)膜、半導体活性層27としての水素化アモルファスシリコン(a-Si:H)層、チャネル保護膜29としての窒化シリコン(SiNx2)膜、オーミックコンタクト層28としてのn⁺水素化アモルファスシリコン(n⁺a-Si:H)層、拡散防止層41部分と42部分としてのクロム(Cr2)層、その上に絶縁層としてのポリイミド層40、更にその上にドレイン電極43部分とソース電極44部分となるアルミニウム層及びa-Si:H層の遮光用金属層としてのアルミニウム層30とを順次積層した逆スタガ構造のトランジスタである。

遮光用金属層としてのアルミニウム層30は、チャネル保護膜29を透過してa-Si:H層に光が入り込んで光電変換作用を引き起こすのを防止するために設けられている。ここで、オーミッ

クコンタクト層28は拡散防止層41に接触する部分28a層と拡散防止層42に接触する部分28b層と分離して形成されている。また、拡散防止層41部分と42部分としてのクロム(Cr2)層はそのオーミックコンタクト層28aと28bを覆うように形成されている。

上記拡散防止層41、42のクロム(Cr2)層は、ドレイン電極43とソース電極44のアルミニウムの蒸着またはスパッタ法による着膜時のダメージを防ぎ、オーミックコンタクト層28のn⁺a-Si:Hの特性を保持する役割を果たしている。

そして、当該薄膜トランジスタがイメージセンサに用いられている場合には、ドレイン電極43には受光素子の透明電極からの配線30aが接続され、ソース電極44には多層配線13へのアルミニウムの配線30bが接続されている。

また、上記半導体活性層27としてpoly-Si等の別の材料を用いても同様の効果が得られる。

次に、マトリックス形状の多層配線13の構成を説明する。

多層配線13の構成は、マトリックス形状の多層配線構造となっており、基板21上に下部配線31をクロム(Cr1)層で、上部配線32をアルミニウム(Al)層で形成され、上部配線31と下部配線32の間には、ゲート絶縁膜26で用いられた窒化シリコン(SiNx1)から成る第1の絶縁層33a、薄膜トランジスタにおける半導体活性層27として用いられた水素化アモルファスシリコン(a-Si:H)層、薄膜トランジスタにおけるチャネル保護膜29として用いられた層間絶縁層29'(SiNx2)、それにポリイミドから成る第2の絶縁層33bを介して、配線層がマトリックス状に配置されている。そして、上下配線の接続部分は、コンタクトホール34で接続されている。

また、多層配線13において、平行に配列された信号線の配線の間にアース線を配置することも考えられる。これにより隣接する配線間における

クロストークの発生を防止することができる。

次に、本実施例の薄膜トランジスタ(TFT)及び多層配線の製造方法について、製造プロセスを示す薄膜トランジスタ及び多層配線の断面説明図である第2図(a)~(k)を使って説明する。

まず、検査、洗浄されたガラス等の基板21上に、ゲート電極25と多層配線13の下部配線31となる第1のCr(Cr1)層をDCスパッタ法により750Å程度の厚さで着膜する。次にこのCr1をフォトリソ工程により、そして硝酸セリウムアンモニウム、過塩素酸、水の混合液を用いたエッチング工程によりパターニングして、ゲート電極25のパターンと多層配線13の下部配線31のパターンを形成し、レジストを剥離する(第2図(a)参照)。

Cr1のパターン上に薄膜トランジスタのゲート絶縁膜26と、その上の半導体活性層27と、またその上のチャネル保護膜29を形成するために、SiNx1を3000Å程度の厚さで、a-Si:Hを1000Å程度の厚さで、SiNx2

を2000Å程度の厚さで順に真空を破らずにプラズマCVD(P-CVD)により着膜する(第2図(b)参照)。真空を破らずに連続的に着膜することでそれぞれの界面の汚染を防ぐことができ、S/N比の向上を図ることができる。ゲート絶縁膜26の絶縁層は、同時に多層配線13における第1の絶縁層33aをも形成し、チャネル保護膜29の絶縁層は、同時に多層配線13における層間絶縁層29'をも形成するものである。

ゲート絶縁膜26の絶縁層(SiNx1)をP-CVDで形成する条件は、基板温度が300~400℃で、SiH₄とNH₃のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が10~50sccmで、NH₃のガス流量が100~300sccmで、RFパワーが50~200Wである。

半導体活性層27のa-Si:H膜をP-CVDで形成する条件は、基板温度が200~300℃で、SiH₄のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が100~300sccmで、RFパワーが50~200Wである。

チャネル保護膜29の絶縁層(SiNx2)をP-CVDで形成する条件は、基板温度が200~300℃で、SiH₄とNH₃のガス圧力が0.1~0.5Torrで、SiH₄ガス流量が10~50sccmで、NH₃のガス流量が100~300sccmで、RFパワーが50~200Wである。

次に、ゲート電極25に対応するような形状でチャネル保護膜29のパターンを形成するために、また多層配線13の層間絶縁層29'のパターンを形成するために、以下の処理を行う。薄膜トランジスタのチャネル保護膜29と多層配線13の層間絶縁層29'の絶縁層(SiNx2)の上に、第1のポジレジストを塗布し、フォトリソマスクを用いて多層配線13部分において層間絶縁層29'のパターンを形成するために下部配線31部分の上部を広く覆うようなレジストパターン(第1のレジストパターン45)となるように露光、現像を行う(第2図(c)参照)。そして、第1のレジストパターン45にて約150℃で15分間ポストバークを施した後、更に第2のポジレジ

スト46'を塗布する(第2図(d)参照)。

この後に、基板21の裏面から裏面露光を行い、この後、更に多層配線13部分についてのみ基板21の表面から全面露光を行い、現像液で現像して、薄膜トランジスタのゲート電極25に位置整合したチャネル保護膜29のレジストパターンとなるような第2のレジストパターン46の形成を行う。この場合、薄膜トランジスタにおいてはチャネル保護膜29上に第2のレジストパターン46が形成され、多層配線13においては層間絶縁層29'上に第1のレジストパターン45が形成されている状態となる(第2図(e)参照)。

つまり、多層配線13部分において裏面露光を行った際に、下部配線31上に形成された第1のレジストパターン45がポストベークが施されているために、第1のレジストパターン45は裏面露光によって感光しにくくなり、従って現像液にも不溶となる。そのため、第2のポジレジスト46'の感光した部分が現像されて溶解しても、第1のレジストパターン45は層間絶縁層29'上

に残ることになる。

このように形成された第1のレジストパターン45と第2のレジストパターン46に従って、HFとNH₄Fの混合液でエッチングを行い、レジスト剥離を行って、薄膜トランジスタにおけるチャネル保護膜29のパターンと多層配線13における層間絶縁層29'のパターンを形成する。

さらにBHF処理を行い、その上にオーミックコンタクト層28としてn⁺型のa-Si:HをSiH₄とPH₃の混合ガスを用いたP-CVDにより1000Å程度の厚さで着膜する。次に、薄膜トランジスタの拡散防止層41、42となる第2のCr(Cr2)層をDCマグネトロンスパッタにより1500Å程度の厚さで着膜する(第2図(f)参照)。この時、それぞれの着膜の前にアルカリ洗浄を行う。

次に、薄膜トランジスタの拡散防止層41、42のCr層となるCr2をフォトリソ工程により、そして硝酸セリウムアンモニウム、過塩素酸、水の混合液を用いたエッチング工程でパターンニング

を行う(第2図(g)参照)。但し、拡散防止層41、42上のレジスト47は、剥離せず、残しておくことにする。

そして、薄膜トランジスタ部分及び多層配線13部分をCF₄とO₂の混合ガスを用いたドライエッチング又はフッ硝酸系のウェットエッチングを行うと、Cr2とSiNx2のない部分がエッチングされ、つまりa-Si:H層とn⁺a-Si:H層のパターンが形成される(第2図(h)参照)。

これにより、薄膜トランジスタのオーミックコンタクト層28のn⁺型のa-Si:H層および半導体活性層27のa-Si:H層がエッチングされる。また、多層配線13部分についても、Cr2とSiNx2のない部分がエッチングされ、多層配線13部分のa-Si:H層とn⁺a-Si:H層がパターンニングされることになる。そして拡散防止層41、42上のレジスト47を剥離し、拡散防止層41と42のパターンが形成される。

次に、薄膜トランジスタのゲート絶縁膜26の基板21上における全体のパターンおよび多層配線13の第1の絶縁層33aにおけるコンタクトホール34を形成するために、SiNx1をSF₆とC₄F₈の混合ガスを用いたフォトリソエッチング工程によりパターンニングする(第2図(i)参照)。

そして、全体を覆うように第2の絶縁層33bとなるポリイミドを約1μm程度の厚さで塗布し、160℃程度でプリベークを行ってフォトリソエッチング工程でパターン形成を行い、再度ベークする(第2図(j)参照)。これにより、薄膜トランジスタにおいては、アルミニウムのドレイン電極43が接続するコンタクト部分とソース電極44が接続するコンタクト部分と、さらに多層配線13にいて上下間の配線を接続するコンタクトホール34が形成される。この後に、ホール34等の残ったポリイミドを完全に除去するために、O₂でプラズマにさらすDescumを行う。

次に、アルミニウム(Al)をDCマグネトロ

ンスパッタにより全体を覆うように約 $1\mu\text{m}$ 程度の厚さで着膜し、所望のパターンを得るためにリン酸系の溶液を用いたフォトリソエッチング工程でパターニングしてレジストを除去する。これにより、薄膜トランジスタのドレイン電極43部分とソース電極44部分、ドレイン電極43への配線30a部分、ソース電極44から多層配線13への配線30b部分、さらに多層配線13について上部配線32とが形成される(第2図(k)参照)。

最後に、パシベーション層(図示せず)であるポリイミドを厚さ $3\mu\text{m}$ 程度塗布し、プリベークを行った後にフォトリソエッチング工程でパターニングを行い、さらにベークしてパシベーション層を形成する。この後、Descumを行い、不要に残っているポリイミドを取り除く。

本実施例によれば、薄膜トランジスタのチャネル保護膜29のパターンを裏面露光により形成する前に、多層配線13において下部配線31の上部にゲート絶縁膜26の第1の絶縁層33aと半

導体活性層27のa-Si:H層とチャネル保護膜29の層間絶縁層29'とを介して幅広く第1のレジストパターン45を形成し、この第1のレジストパターン45をベークした後に、この上に第2のレジスト46'を塗布して薄膜トランジスタ部分と多層配線13部分を裏面露光し、多層配線部分のみを表面から全面露光を行い、第2のレジスト46'を現像して、第2のレジストパターン46を形成し、第1のレジストパターン45と第2のレジストパターン46に従ってエッチングして薄膜トランジスタのチャネル保護膜29のパターンと多層配線13の層間絶縁層29'のパターンを形成する製造方法としているので、多層配線13において層間絶縁層29'を下部配線31の幅以上に広く形成でき、そのためポリイミド層40上に形成される上部配線32には大きな凹凸ができず、上部配線32の形状について段差が大きくなり、また、上部配線32と下部配線31の間に層間絶縁層29'が幅広く形成されてい

るために、上部配線32と下部配線31の間が接近することがなく、そのため上下配線間にショートが起こりにくくなって、信頼性の高い半導体装置とすることができる効果がある。

本実施例においては、第1のレジストパターン45を形成して、第2のレジスト46'を塗布した後に、まず基板21全体を裏面露光して、その次に多層配線13部分のみを全面露光するようにしていたが、基板21全体の裏面露光と多層配線13部分のみの全面露光を同時に行ってもよいし、また、先に多層配線13部分のみを全面露光し、その後で基板21全体を裏面露光しても同様の効果が得られる。

(発明の効果)

本発明によれば、薄膜トランジスタのチャネル保護膜のパターンを裏面露光により形成する前に、多層配線において下部配線の上部にゲート絶縁膜の絶縁層と半導体活性層とチャネル保護膜の層間絶縁層とを介して幅広く第1のレジストパターンを形成し、この第1のレジストパターンをベーク

した後に、この上に第2のレジストを塗布して薄膜トランジスタ部分と多層配線部分を裏面露光し、多層配線部分のみを表面から全面露光を行い、第2のレジストを現像して、第2のレジストパターンを形成し、第1のレジストパターンと第2のレジストパターンに従ってエッチングして薄膜トランジスタのチャネル保護膜のパターンと多層配線の層間絶縁層のパターンを形成する製造方法としているので、多層配線において層間絶縁層を下部配線の幅以上に広く形成でき、そのためポリイミドの絶縁層上に形成される上部配線には大きな凹凸ができず、上部配線の形状について段差が大きくなり、また、上部配線と下部配線の間に層間絶縁層が幅広く形成されているために、上部配線と下部配線の間が接近することがなく、そのため上下配線間にショートが起こりにくくなって、信頼性の高い半導体装置とすることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る薄膜トランジ

スタ部分及び多層配線の一部の断面説明図、第2図(a)～(k)は薄膜トランジスタ部分及び多層配線部分の製造プロセスを説明する断面説明図、第3図は従来のイメージセンサの等価回路図、第4図は従来の薄膜トランジスタ部分及び多層配線の一部の断面説明図である。

- 11 ……受光素子アレイ
- 12 ……電荷転送部
- 13 ……多層配線
- 14 ……共通信号線
- 15 ……駆動用IC
- 16 ……出力線
- 21 ……基板
- 25 ……ゲート電極
- 26 ……ゲート絶縁膜
- 27 ……半導体活性層
- 28 ……オーミックコンタクト層
- 29 ……チャネル保護膜
- 29' ……層間絶縁層

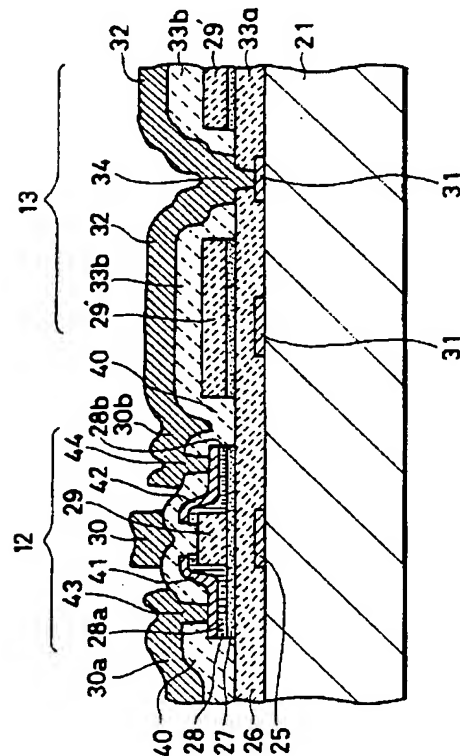
- 30 ……アルミニウム層
- 31 ……下部配線
- 32 ……上部配線
- 33 ……絶縁層
- 34 ……コンタクトホール
- 40 ……ポリイミド層
- 41、42 ……拡散防止層
- 43 ……ドレイン電極
- 44 ……ソース電極
- 45 ……第1のレジストパターン
- 46 ……第2のレジストパターン
- 47 ……拡散防止層上のレジスト

出 願 人 富士ゼロックス株式会社

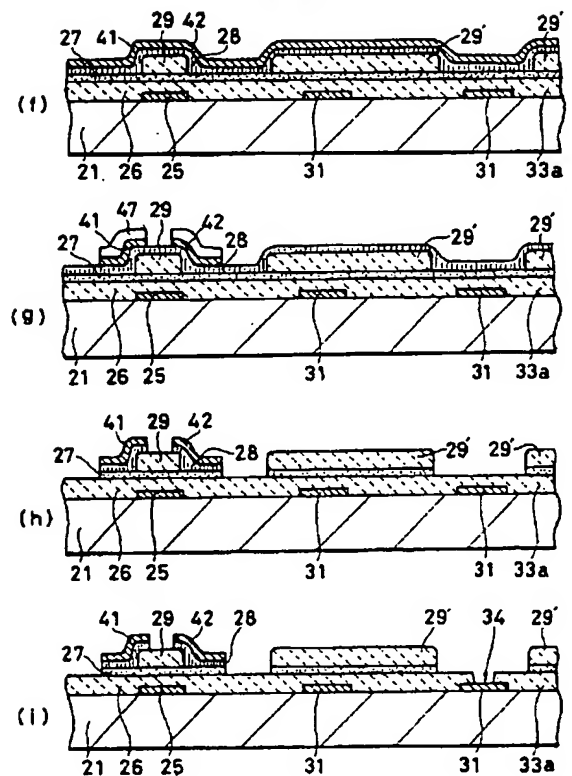
代理人 弁理士 阪 本 清 幸

代理人 弁理士 船 津 暢 宏

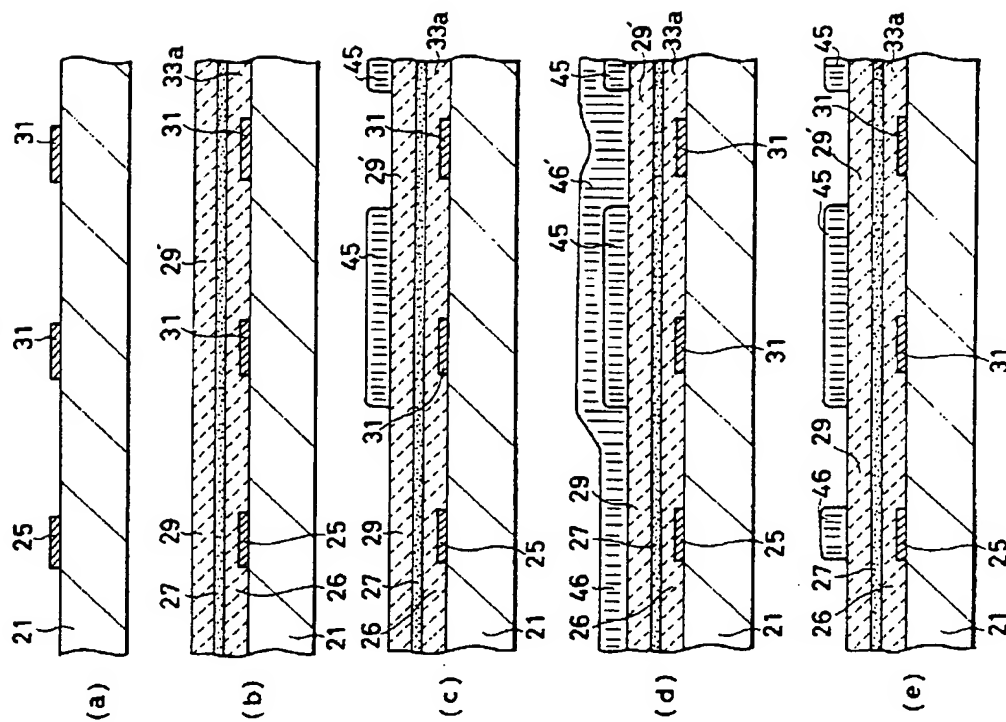
第1図



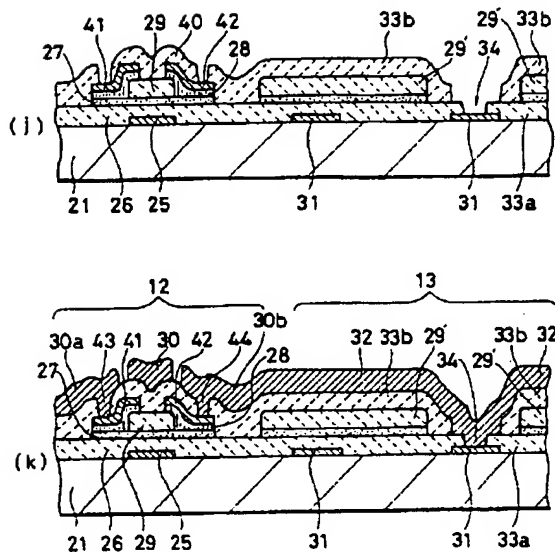
第2図



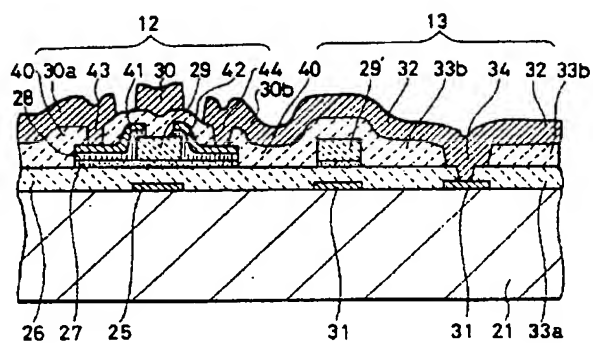
第2図



第2図



第4図



第 3 図

